

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11032001 A**

(43) Date of publication of application: **02 . 02 . 99**

(51) Int. Cl

**H04B 7/08  
H04L 27/38  
H04L 27/22**

(21) Application number: **09182882**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: **08 . 07 . 97**

(72) Inventor: **IINUMA TOSHINORI**

**(54) DIVERSITY RECEIVER**

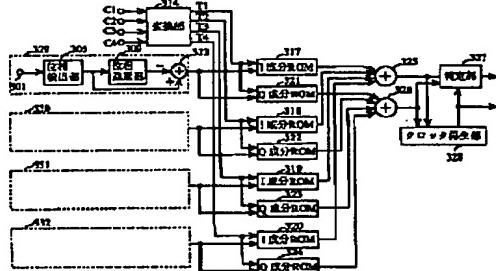
been raised, decision in a decision part 327 is accurately performed.

**(57) Abstract:**

COPYRIGHT: (C)1999,JPO

**PROBLEM TO BE SOLVED:** To essentially enlarge the dynamic range of a synthesis coefficient and to prevent the error of size decision at the time of decoding by uniformly raising a level, in the case that the respective synthesis coefficients for indicating weighting for respective reception systems used for synthesizing the respective pieces of reception information obtained in the plural reception systems are all equal to or less than a threshold value.

**SOLUTION:** The synthesis coefficients  $C_k$  ( $\{k\}=1, 2, 3, 4$ ) used for the weighting for the respective reception systems in synthesis diversity are data for indicating a reception level. When the synthesis coefficients  $C_k$  are inputted, a conversion part 314 compares them with the threshold level, 0.25 for instance, and in the case that they are all smaller than the threshold, the synthesis coefficients  $T_k$  ( $\{k\}=1,2,3,4$ ) for which the respective synthesis coefficients  $C_k$  are shifted (quadrupled) by two bits to a higher order digit are outputted. Phase modulation parts 329-332 output phase data  $\theta_k$  ( $\{k\}=1,2,3,4$ ). In component ROMs 317-320 and Q component ROMs 321-324 output  $T_k^2 \cos \theta_k$  and the  $T_k^2 \sin \theta_k$ . Since the level of the value of  $T_k$  has



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-32001

(43)公開日 平成11年(1999)2月2日

(51)Int.Cl.<sup>6</sup>

H 04 B 7/08

H 04 L 27/38

27/22

識別記号

F I

H 04 B 7/08

H 04 L 27/00

27/22

D

G

Z

審査請求 未請求 請求項の数 5 OL (全 9 頁)

(21)出願番号

特願平9-182882

(22)出願日

平成9年(1997)7月8日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 飯沼 敏範

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

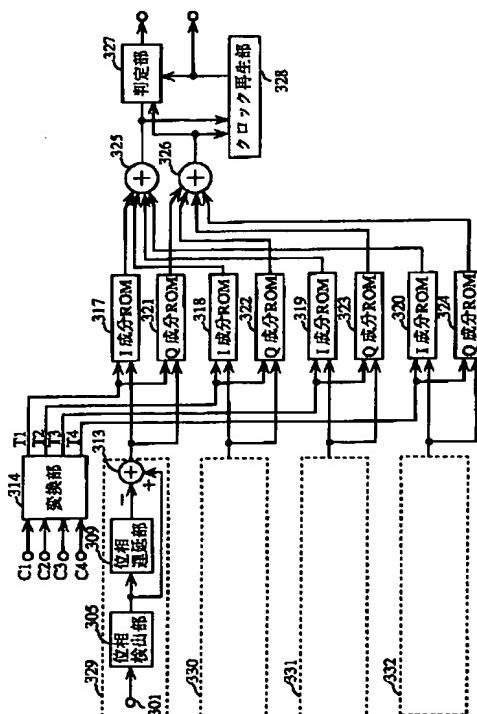
(74)代理人 弁理士 中島 司朗

(54)【発明の名称】 ダイバーシチ受信装置

(57)【要約】

【課題】 判定誤りを防ぐダイバーシチ受信装置を提供することを目的とする。

【解決手段】 複数の受信系統で得られる各受信情報を受信系統毎の重み付けを表す合成係数を用いて合成するダイバーシチ装置であって、受信系統毎の合成係数を一律にレベルアップする変換部314と、レベルアップされた合成係数を用いて受信情報を合成するI成分ROM、Q成分ROM、I成分加算器325、Q成分加算器326とを備える。



## 【特許請求の範囲】

【請求項1】複数の受信系統で得られる各受信情報を受信系統毎の重み付けを表す合成係数を用いて合成するダイバーシチ装置であって、受信系統毎の合成係数を一律にレベルアップするレベルアップ手段と、レベルアップされた合成係数を用いて受信情報を合成する合成手段とを備えることを特徴とするダイバーシチ受信装置。

【請求項2】前記レベルアップ手段は、受信系統毎の合成係数が何れもしきい値よりも小さいかどうかを判定する判定手段と、判定手段により小さいと判定されたとき、全ての合成係数に定数を乗算する乗算手段とを有することを特徴とする請求項1記載のダイバーシチ受信装置。

【請求項3】各合成係数は所定のビット数で表され、前記しきい値は所定ビット数で表される最大値の2分の1以下の値であることを特徴とする請求項2記載のダイバーシチ受信装置。

【請求項4】前記レベルアップ手段は、受信系統毎の合成係数が何れも前記最大値の2分の1よりも小さいかどうかを判定する判定手段と、判定手段により小さいと判定されたとき、全ての合成係数を2倍にする乗算手段と、乗算手段により2倍にされた合成係数が前記判定手段により2分の1よりも小さいと判定されなくなるまで、判定手段と乗算手段とを繰り返し動作させる制御手段とを有することを特徴とする請求項1記載のダイバーシチ受信装置。

【請求項5】前記合成係数は、受信系統毎に得られる受信電界強度と、受信系統毎に得られる受信情報の確からしさを表すパラメータとの何れかであることを特徴とする請求項1ないし4記載のいずれかのダイバーシチ受信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、無線通信機器に用いられるダイバーシチ受信装置に関し、特に複数の受信信号を重み付けして合成するダイバーシチ受信装置に関するもの。

## 【0002】

【従来の技術】従来、デジタル方式の通信機器においては、伝送の効率化のために、デジタルの情報信号（ベースバンド信号）で搬送波信号を変調することによって、情報信号の伝送が行われている。このような変調の方式としては、デジタルのベースバンド信号（変調信号）に応じて搬送波信号の振幅を変化させる振幅変調方式（ASK:Amplitude Shift Keying）、変調信号に応じて搬送波の周波数を変位させる周波数変調方式（FSK:Frequency Shift Keying）、変調信号に応じて搬送波の位相を変化

させる位相変調方式（PSK:Phase Shift Keying）、変調信号に応じて搬送波の振幅及び位相をそれぞれ独立して変化させる直交振幅変調方式（QAM:Quadrature Amplitude Modulation）などの種々の方式が用いられている。

【0003】これらのデジタル変調方式は、移動通信等に適用した場合、電波の反射や散乱などの影響で受信レベルが激しく変動するフェージング現象によって受信性能が著しく劣化することが知られている。フェージングによる受信レベル低下を補う有効な方法として複数の受信系を用いて受信を行うダイバーシチ受信等が実用化されている。

【0004】ダイバーシチ受信の方式には、各受信系の中で最大受信レベルの受信信号を選択して復調を行う選択合成方式、各受信系の信号を等レベルで合成して復調を行う等利得合成方式、各受信系の信号を受信レベルに比例した重み付けを行った後合成して復調を行う最大比合成方式がある。この中で最大比合成方式は、受信レベルがより大きい、すなわち、雑音の影響がより小さい信号ほど大きい重み付けをして合成するので、各受信信号を効果的に合成できる。

【0005】以下に、従来の最大比合成方式を説明する。図8は、従来の最大比合成ダイバーシチ受信装置の1例を示したもので4系統の受信信号を合成する構成となっている。この装置の場合、各入力端子701～704から入力される受信信号は移相器（phase shifter）705～708により搬送波の位相を等しく揃えられた後、加算器709で合成され、復調器710にてデータ復調が行われるものである。この時、加算器709で信号が合成されるまでは、各信号は線形に増幅されており、従って合成は線形に行われる。

【0006】図9は、図8に示された従来の装置での信号合成をIQ（Inphase Quadrature）平面上に示した図であり、ここでは理解の便宜のため2系統の受信信号を合成する例を記してある。図9において、S1、S2は受信信号を表し、S1S、S1NはS1の信号成分、ノイズ成分、S2S、S2NはS2の信号成分、ノイズ成分である。一般に、ノイズ成分は受信信号の大きさや受信系統に係わらずほぼ一定に加わるため、図では各系統の受信信号は、信号成分（S1S及びS2S）を中心とする同じ半径40（すなわち、 $|S1N|=|S2N|$ ）の円周上の点として記してある。図8の装置、すなわち、最大比合成ダイバーシチ受信装置では、各系統の受信信号は線形に合成され、すなわち、S1、S2がベクトル的に合成され、その結果得られた合成信号が復調器に入力されることになる。

【0007】図10は、従来の最大比合成方式によるダイバーシチ受信装置を示す図である。本装置は、位相復調部329～332、I成分ROM317～320、Q成分ROM321～324、I成分加算器325、Q成分加算器326、判定部327及びクロック再生部328から構成される。位相復調部329は、さらに、入力

端子301、位相検出部305、位相遅延部309及び位相加算部313からなり、PSK(Phase Shift Keying)変調方式に対応した位相検波型の遅延検波器を構成している。

【0008】位相復調部330～332について、位相復調部329と同様であるので説明を省略する。入力端子301は、A/D変換器やリミタなどでデジタル化された受信信号が本装置に入力される端子である。位相検出部305は、入力端子301に入力された受信信号と図示されていない局部発振器との位相比較を行うことによって、デジタル化された検出位相を出力する。すなわち、位相検出部305は、受信信号の位相成分のみを検出し、受信信号の振幅成分を必要としないため、ここでの線形増幅器は必要なくなる。

【0009】位相遅延部309は、位相検出部305からの検出位相を1シンボル時間だけ遅延させて、遅延位相としてを出力する。尚、1シンボル時間とは、送信データの周期に、多相PSKにおける相数を表す2の乗数、例えば、4相(2<sup>2</sup>)の時は2、8相(2<sup>3</sup>)の時は3を掛けた時間である。位相加算部313は、前記検出位相と遅延位相との位相差分を算出し、位相データとして出力する。これによって、各系統ごとに、対応する位相データθkが得られる。

【0010】I成分ROM317～320は、合成係数Rkと位相データθkとの全ての組合せについての位相データθkの余弦と受信レベルの量子化データRkの2乗の積Rk<sup>2</sup>・cosθkを予め記憶している。本実施例では、Rk及びθkは、それぞれ8ビットからなるので、256通りのRkと256通りのθkとの全ての組合せ、すなわち、2<sup>16</sup>通りの前記演算結果を記憶している。I成分ROM317～320は、合成係数Rkと位相加算部313～316からの位相データθkがそれぞれアドレスとして入力されると、それらの組合せに該当する前記演算値Rk<sup>2</sup>・cosθkを出力する。

【0011】同様に、Q成分ROM321～324は、合成係数Rkと位相データθkとの全ての組合せについての位相データθkの正弦と受信レベルの量子化データRkの2乗の積Rk<sup>2</sup>・sinθkを予め記憶している。Q成分ROM321～324は、合成係数Rkと位相加算部313～316からの位相データθkがそれぞれアドレスとして入力されると、それらの組合せに該当する前記演算値Rk<sup>2</sup>・sinθkを出力する。

【0012】I成分加算器325は、I成分ROM317～320から出力されたそれぞれの値を合計する。一方、Q成分加算器326は、Q成分ROM321～324から出力されたそれぞれの値を合計する。判定部327は、クロック再生部328からのクロックに同期してI成分加算器325及びQ成分加算器326からのそれぞれの値をベクトル合成し、所定のしきい値との大小判断の結果を復号データとして出力する。

10 【0013】クロック再生部328は、I成分加算器325及びQ成分加算器326からのデータに同期したクロックを再生し、判定部327に送る。

#### 【0014】

【発明が解決しようとする課題】しかし、従来のダイバーシチ受信装置においては、受信レベルRkの値が小さい場合に、判定部327で判定誤りを起こすという問題があった。なぜなら、Rkの値が小さい場合、そのダイナミックレンジが減少するので、I成分ROM317～320およびQ成分ROM321～324の出力値であるRk<sup>2</sup>・cosθk、Rk<sup>2</sup>・sinθkは、Rkの値が小さいほど精度が低くなる。その精度の低い出力データがI成分加算器325および、Q成分加算器326で合計されると、さらに精度の低くなった値が出力される。そして、判定部327においてベクトル合成された値について、所定のしきい値との大小判断を行う時点で、精度が低いため、大小判断の誤りを起こしやすくなるからである。

【0015】上記の点に鑑み、本発明は、上記判定誤りを防ぐダイバーシチ受信装置を提供することを目的とする。

#### 【0016】

【課題を解決するための手段】上記目的を達成するため、本発明に係るダイバーシチ受信装置は、複数の受信系統で得られる各受信情報を受信系統毎の重み付けを表す合成係数を用いて合成するダイバーシチ装置であつて、受信系統毎の合成係数を一律にレベルアップするレベルアップ手段と、レベルアップされた合成係数を用いて受信情報を合成する合成手段とを備えることを特徴とすることができる。

30 【0017】また、前記レベルアップ手段は、受信系統毎の合成係数が何れもしきい値よりも小さいかどうかを判定する判定手段と、判定手段により小さいと判定されたとき、全ての合成係数に定数を乗算する乗算手段とを有することを特徴とすることもできる。また、各合成係数は所定のビット数で表され、前記しきい値は所定ビット数で表される最大値の2分の1以下の値であることを特徴とすることもできる。

【0018】また、前記レベルアップ手段は、受信系統毎の合成係数が何れも前記最大値の2分の1よりも小さいかどうかを判定する判定手段と、判定手段により小さいと判定されたとき、全ての合成係数を2倍にする乗算手段と、乗算手段により2倍にされた合成係数が前記判定手段により2分の1よりも小さいと判定されなくなるまで、判定手段と乗算手段とを繰り返し動作させる制御手段とを有することを特徴とすることもできる。

40 【0019】前記合成係数は、受信系統毎に得られる受信電界強度と、受信系統毎に得られる受信情報の確からしさを表すパラメータとの何れかであることを特徴とすることもできる。

#### 【0020】

## 【発明の実施の形態】

(第1実施例) 図1は、本発明の第1実施例に係る最大比合成方式によるダイバーシチ受信装置を示す図である。本装置は、変換部314、位相復調部329～332、I成分ROM317～320、Q成分ROM321～324、I成分加算器325、Q成分加算器326、判定部327及びクロック再生部328から構成される。

【0021】変換部314は、合成ダイバーシチにおける受信系統毎の重み付けに用いられる合成係数Ckを一律にレベルアップした合成係数Tkに変換する。ここで合成係数Ckは、受信レベル(RSSI:Received Signal Strength Indicator)を表す信号であり、たとえば、8ビットで表されるデジタルデータである。また受信レベル信号は、位相復調部329内の高周波受信部(図外)によって検出される。一律にレベルアップするのは、合成係数のダイナミックレンジを損なわないようとするためである。

【0022】位相復調部329は、さらに、入力端子301、位相検出部305、位相遅延部309及び位相加算部313からなり、PSK(Phase Shift Keying)位相変調方式に対応した位相検波型の遅延検波器を構成している。位相復調部330～332内部の構成は、位相復調部329と同様であるので説明を省略する。入力端子301は、A/D変換器によりデジタル化された受信信号が本装置に入力される端子である。

【0023】位相検出部305は、入力端子301に入力された受信信号と図示されていない局部発振器との位相比較を行うことによって、デジタル化された検出位相を出力する。すなわち、位相検出部305は、受信信号の振幅成分を除外した位相成分のみを検出する。位相遅延部309は、位相検出部305からの検出位相を1シンボル時間だけ遅延させて、遅延位相としてを出力する。

【0024】位相加算部313は、前記検出位相と遅延位相との位相差分を算出し、位相データとして出力する。これによって、各系統ごとに、対応する位相データθkが得られる。I成分ROM317～320は、合成係数Tkと位相データθkとの全ての組合せについての位相データθkの余弦と合成係数Tkの2乗との積Tk<sup>2</sup>·cosθkを予め記憶している。本実施例では、Tk及びθkは、それぞれ8ビットからなるので、2<sup>56</sup>通りのTkと2<sup>56</sup>通りのθkとの全ての組合せ、すなわち、2<sup>16</sup>通りの前記演算結果を記憶している。ただし、1つの演算結果は、さらに複数のサンプル点のデータとして記憶されている。I成分ROM317～320は、合成係数Tkと位相加算部313からの位相データθkがそれぞれアドレスとして入力されると、それらの組合せに該当する前記演算値Tk<sup>2</sup>·cosθkをサンプル点毎に出力する。

【0025】同様に、Q成分ROM321～324は、

合成係数Tkと位相データθkとの全ての組合せについての位相データθkの正弦と合成係数Tkの2乗との積Tk<sup>2</sup>·sinθkを予め記憶している。ただし、1つの演算結果は、さらに複数のサンプル点のデータとして記憶されている。Q成分ROM321～324は、合成係数Tkと位相加算部313からの位相データθkがそれぞれアドレスとして入力されると、それらの組合せに該当する前記演算値Tk<sup>2</sup>·sinθkをサンプル点毎に出力する。

【0026】I成分加算器325は、I成分ROM311～320から出力されたそれぞれの値を合計する。一方、Q成分加算器326は、Q成分ROM321～324から出力されたそれぞれの値を合計する。判定部327は、クロック再生部328からのクロックに同期してI成分加算器325及びQ成分加算器326からのそれぞれの値をベクトル合成し、所定のしきい値との大小判断の結果を復号データとして出力する。

【0027】クロック再生部328は、I成分加算器325及びQ成分加算器326からのデータに同期したクロックを再生し、判定部327に送る。図2は上記変換部314のより詳細な構成を示すブロック図である。変換部314は、判定部202、乗算器203～206を備え、合成係数Ckの全部がしきい値よりも小さい場合には、それらを一律にN倍するよう構成されている。

【0028】判定部202は、4つの合成係数Ckが入力されると、それらがしきい値より低いか否かを判定する。その結果、それらがいずれもしきい値より低い場合は、乗算器203～206にその旨を示す判定信号207を出力する。ここでしきい値は、合成係数Ckのフルレンジの1/4～1/8程度が望ましい。本実施例のしきい値は1/4としている。

【0029】乗算器203～206は、判定部202から判定信号207がそれぞれ入力されると、Ckに定数Nを乗算して信号Tkを出力する。すなわち、Tk=Ck\*N(k=1, 2, 3, 4)である。ここでNは、しきい値の逆数以下の値であればよく、本実施例では4としている。図4は、判定部202のより詳細な構成を示すブロック図である。

【0030】判定部202は、比較回路401～404、AND回路405より構成される。比較回路401～404は、それぞれしきい値を示すLEVEL1とCk(k=1, 2, 3, 4)との大小を比較し、LEVEL1>Ckであるとき、信号をAND回路405に出力する。

【0031】AND回路405は、比較回路401～404全ての信号が入力されたとき、すなわち、CkがいずれもLEVEL1より小さいとき、判定信号207を出力する。図5は、上記乗算器203～206のより詳細な構成を示すブロック図の一例である。

【0032】乗算器203～206は、セレクタ501～508を備え、定数倍のみ実現するように構成される。セレクタ501～508は、判定部202からの判

定信号207の入力がない場合は8個の入力Aに入力された信号をXから出力し、入力がある場合は入力Bに入力された信号をXから出力する。入力Aには、Ckを表す8ビット信号並列に入力され、501が上位ビット、508が下位ビットである。セレクタ501～506の入力Bには、それぞれ2ビット下位の信号が入力され、セレクタ507、508には、0が入力される。たとえば、Ckが00101011であるとした場合、判定信号207の入力があるときは、セレクタ501～508は、入力Bに入力される信号をXから出力するので、Tkは10101100となる。これにより、Tk=Ck\*4を実現している。

【0033】以上のように構成された本発明の第1実施例におけるダイバーシチ受信装置についてその動作を説明する。図3(a)は、変換部314に、入力される合成係数Ck(k=1,2,3,4)の値をグラフで表している。同図において、縦軸は、合成係数のフルレンジを表し、フルレンジの1/4の値をしきい値としている。合成係数Ckは、いずれもしきい値より小さい。

【0034】変換部314にこれらCkが入力されると、判定部202では、しきい値と合成係数Ckとの大小を比較する。比較した結果、合成係数Ckはいずれもしきい値より小さいので、その旨を示す判定信号207を乗算器203～206に出力する。判定部203～206では、判定部202から判定信号207が入力されると、合成係数Ckを上位桁に2ビットシフトする。こうして、4(2<sup>2</sup>)倍された合成係数Tkが outputされる(図3(b))。

【0035】一方、位相復調部329～332は、受信信号が入力されると、受信信号の振幅成分を除外した位相成分を検出し、この位相と、遅延させた位相との位相差分から位相データθk(k=1,2,3,4)を出力する。上記のTkと、θkとの入力を受けたI成分ROM317～320、Q成分ROM321～324は、Tk<sup>2</sup>・cosθk、Tk<sup>2</sup>・sinθkを出力する。Tk<sup>2</sup>・cosθk、Tk<sup>2</sup>・sinθkは、Tkの値が小さいほど精度が低くなり、後々に悪影響を及ぼすことになるが、ここで使用されるTkは、変換部314でレベルアップされているので悪影響を及ぼす心配がない。

【0036】Tk<sup>2</sup>・cosθk、Tk<sup>2</sup>・sinθkは、それぞれI成分加算器325、Q成分加算器326で合成されて、その結果が判定部327に出力される。判定部327ではI成分加算器325、Q成分加算器326からの入力値をベクトル合成し、所定のしきい値との大小判断を行い、結果を複合データとして出力する。

【0037】(第2実施例)本実施例におけるダイバーシチ受信装置の概略構成は、図1と同様であるが、変換部314の内部構成が異なっている。異なる点は、変換部314が、マイクロプロセッサまたはDSP(Digital Signal Processor)により構成されている点である。

【0038】図6は、本実施例における変換部314の処理内容を示すフローチャートである。変換部314は、4つの合成係数Ckのうち、最も値の大きい信号値をレジスタAに代入する(ステップ601)。変数Nには、初期値0を代入しておく(ステップ602)。次に、レジスタAの値としきい値(ここではフルレンジの1/2)との大小を比較して、レジスタAの値がしきい値より大きいとき(ステップ603:YES)、ステップ606の処理をして終了する。反対に、レジスタAの値がしきい値以下のときは(ステップ603:NO)、まず、変数Nに1増加した値を変数Nに代入し、次に、レジスタAの値に2を乗算した値をレジスタAに代入し、再びステップ603の判定へ戻る。このように、レジスタAの値がしきい値を越えるまで、ステップ603～605の処理を繰り返す。レジスタAの値がしきい値を越えたとき、各合成係数についてCk\*2<sup>N</sup>を計算し、その値をTkとする。

【0039】なお、第1、2実施例では、合成係数Ckは、受信レベル(RSSI)信号としているが、受信レベル信号の代わりに、受信情報の確からしさを表すパラメータ(乖離量)を使用してもよい。図7は、π/4 shift QPSKにおける位相データのアイパター(位相データを、変調位相ごとに同期をとって重ね書きしたもの)を示している。乖離量L1、L2とは、各位相データにおける判定点の理想判定点に対する尤度をいい、乖離量が大きいほど理想的な信号、即ち、その受信信号に含まれる干渉波の割合が少ないことを意味する。

#### 【0040】

【発明の効果】本発明にかかるダイバーシチ受信装置は、複数の受信系統で得られる各受信情報を受信系統毎の重み付けを表す合成係数を用いて合成するダイバーシチ装置であって、受信系統毎の合成係数を一律にレベルアップするレベルアップ手段と、レベルアップされた合成係数を用いて受信情報を合成する合成手段とを備えるので、従来技術に対して、合成係数のダイナミックレンジを実質的に拡大しているので、合成の精度を損なわず、復号時の判定誤りを解消できるという効果がある。前記レベルアップ手段は、受信系統毎の合成係数が何れもしきい値よりも小さいかどうかを判定する判定手段

40 と、判定手段により小さいと判定されたとき、全ての合成係数に定数を乗算する乗算手段とを有するので、汎用的な乗算器を使用する必要がなく、定数倍のみの乗算で良いので、ハードウェア規模が小さくて済むという効果がある。

【0041】各合成係数は所定のビット数で表され、前記しきい値は所定ビット数で表される最大値の2分の1以下の値であるので、上記レベルアップ手段によってレベルアップされた場合に、レベルアップされた合成係数がフルレンジを越えるのを防ぎ、このため上記効果と同様、復号時の判定誤りを解消できる。前記レベルアップ

手段は、受信系統毎の合成係数が何れも前記最大値の2分の1よりも小さいかどうかを判定する判定手段と、判定手段により小さいと判定されたとき、全ての合成係数を2倍にする乗算手段と、乗算手段により2倍にされた合成係数が前記判定手段により2分の1よりも小さいと判定されなくなるまで、判定手段と乗算手段とを繰り返し動作させる制御手段とを有するので、その処理手順が繰り返し処理を含み、上記効果に加えてソフトウェア的に実現することも可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る最大比合成方式によるダイバーシチ受信装置を示す図である。

【図2】変換部314のより詳細な構成を示すブロック図である。

【図3】変換部314に、入力される合成係数Ck (k=1, 2, 3, 4) の値を示すグラフである。

【図4】判定部202のより詳細な構成を示すブロック図である。

【図5】上記乗算器203～206それぞれのより詳細な構成を示すブロック図の一例である。

【図6】本実施例における変換部314の処理内容を示すフローチャートである。

【図7】 $\pi/4$  shift QPSKにおける位相データのアイ

\* パターン（位相データを、変調位相ごとに同期をとって重ね書きしたもの）を示す図である。

【図8】従来の最大比合成ダイバーシチ受信装置を示す図である。

【図9】上記図8に示された従来の装置での信号合成をI Q (Inphase Quadrature) 平面上に示した図である。

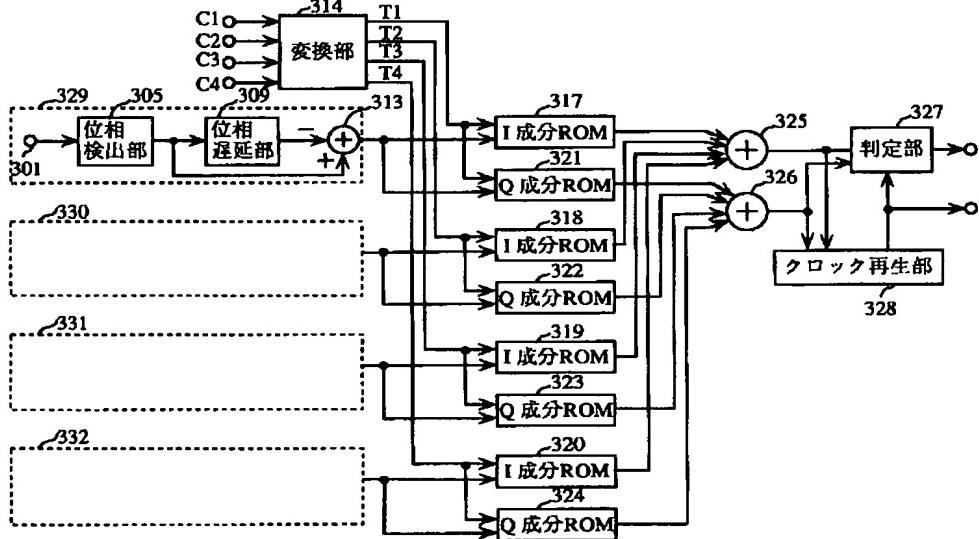
【図10】従来の最大比合成方式によるダイバーシチ受信装置を示す図である。

【符号の説明】

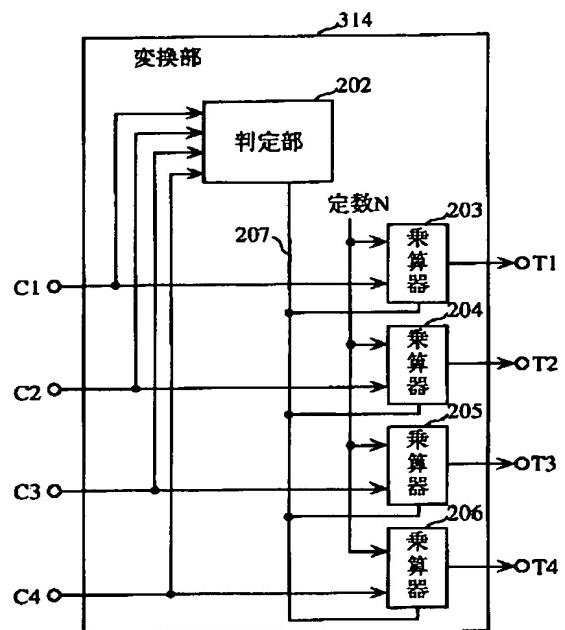
10	301	入力端子
	305	位相検出部
	309	位相遅延部
	313	位相加算部
	313～316	位相加算部
	314	変換部
	317～320	I 成分 ROM
	321～324	Q 成分 ROM
	325	I 成分加算器
	326	Q 成分加算器
20	327	判定部
	328	クロック再生部
	329～332	位相復調部
	330～332	位相復調部

\*

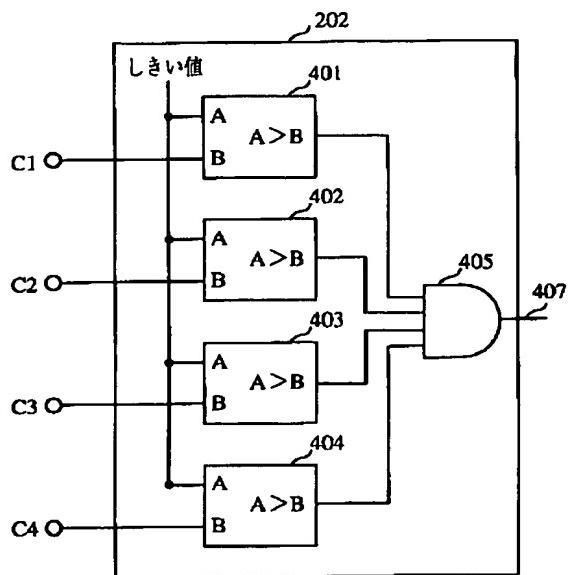
【図1】



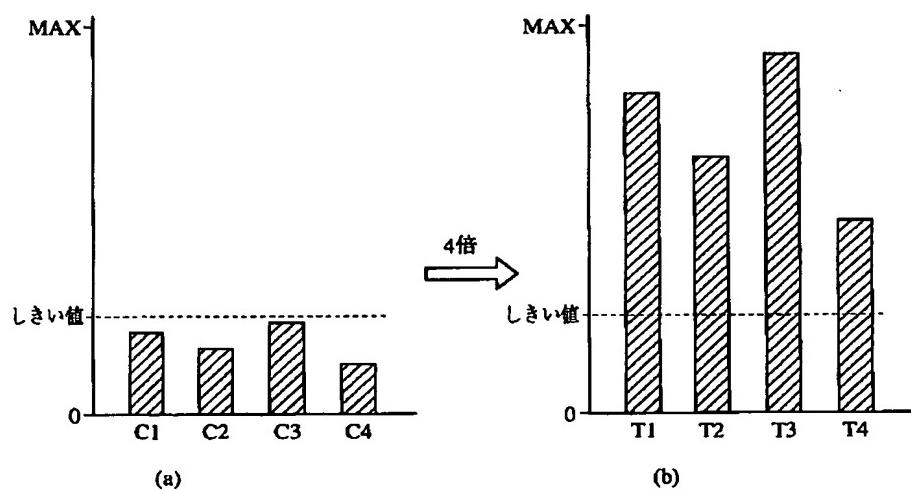
【図2】



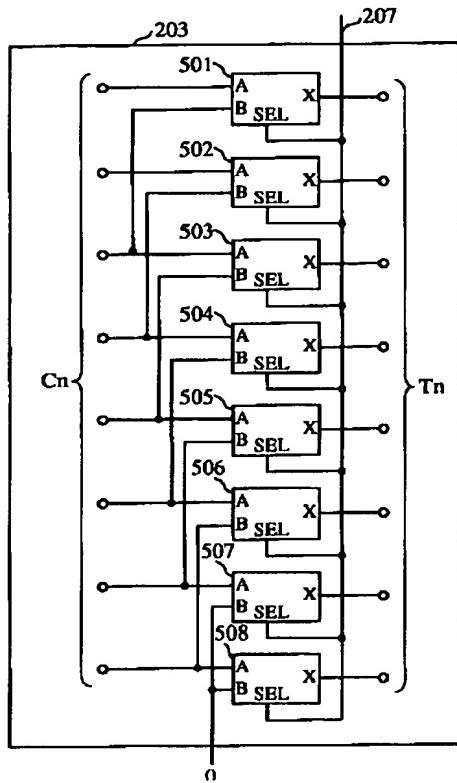
【図4】



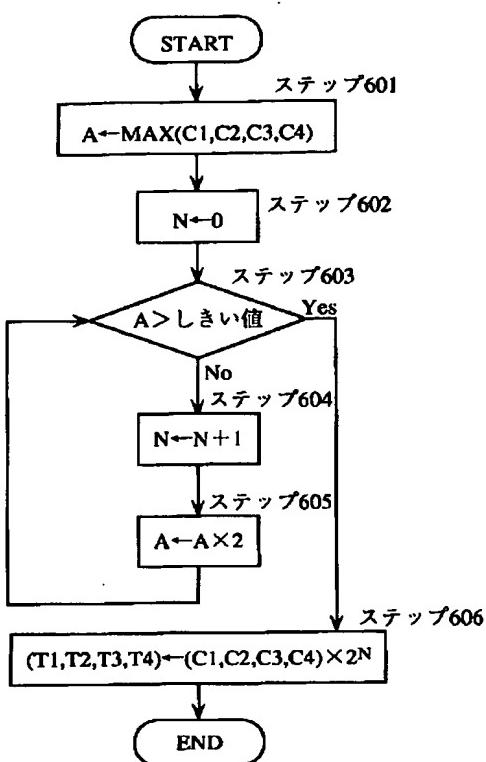
【図3】



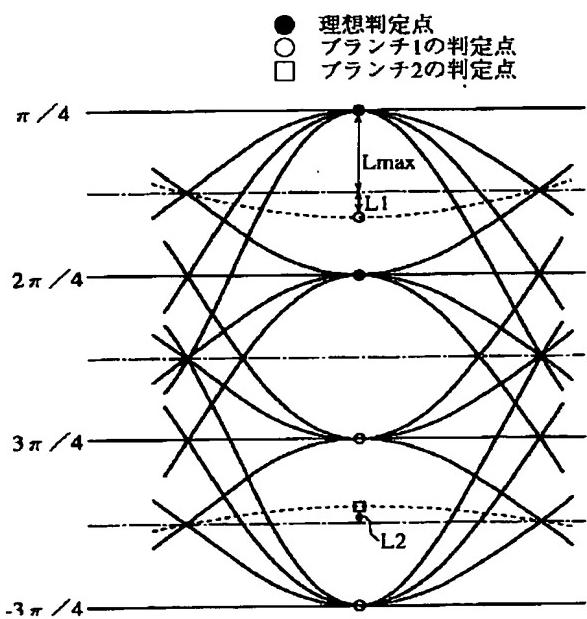
【図5】



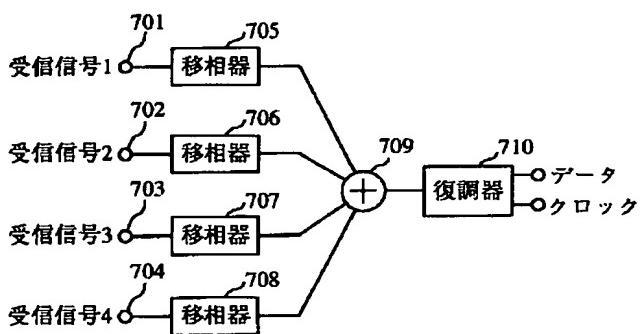
【図6】



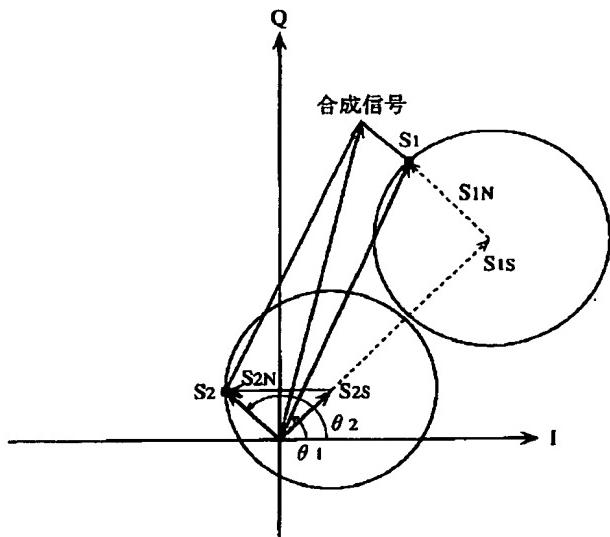
【図7】



【図8】



【図9】



【図10】

